

doi:10.13756/j.gtxyj.2025.240056.

光通信系统与网络技术

张新全,肖希. 集成电路发展与光电融合探讨[J]. 光通信研究, 2025(2):240056.

Zhang X Q, Xiao X. Discussion on the Development of Integrated Circuits and Photonics-electronics Convergence[J]. Study on Optical Communications, 2025(2): 240056.

## 集成电路发展与光电融合探讨

张新全<sup>1,2</sup>, 肖希<sup>1,2</sup>

(1. 光通信技术和网络全国重点实验室, 武汉 430074; 2. 中国信息通信科技集团有限公司, 武汉 430074)

**摘要:** 经过60余年指数级高速发展, 集成电路最先进制程工艺节点已来到1 nm。近10年来集成电路的发展在转向, 从平面等比例微缩转为三维等效微缩, 从性能驱动转为功耗驱动, 从单元集成转为系统集成, 业界普遍认为已进入“后摩尔时代”。当前, 集成电路面临着3大技术难题, 尺寸缩减举步维艰, 不仅制程升级放缓, 而且代价超百亿美元, 格罗方德等部分晶圆厂已放弃进军更先进制程, 仅台积电(TSMC)、三星、Intel和Imec等极少数晶圆厂在继续向前推进“深度摩尔”。文章从集成度和能耗两个维度分析了可供深度摩尔继续利用的理论空间, 并简要介绍了国际器件与系统路线图(IRDS)关于未来15年的技术演进路线图。“超越CMOS”致力于通过原理、材料和结构等创新找到显著优于传统互补金属氧化物半导体(CMOS)的可能器件和方法, 这方面的探索尚属于学术前沿研究阶段。产业界对于系统级封装(SiP)、异质集成和芯粒(Chiplet)等“扩展摩尔(MtM)”技术更为关注。由于信息硬件技术当前遇到的困难和限制是源自电子的物理特性, 光子作为与其物理秉性相异的信息载体被寄予厚望, 正从传统的传输技术泛化为信息通信技术(ICT)的全尺度连接手段, 并逐步进入计算、处理和路由等复杂功能域, 光电融合逐渐成为信息技术的重要发展方向。光电融合主要体现于两个维度, 一是功能维度协同化, 二是硬件维度一体化。文章对这两个维度的进展进行了介绍, 并指出以硅为基础的多材料异质集成和混合集成是当前芯片层面光电融合的着眼点, 使得光电子发展呈现出“微电子化”的显著特征。光电融合刚起步, 在其探索过程中, 文章作者认为: 一是要重视系统架构层面的适应性改变, 不能仅停留于芯片层面; 二是融合尚需新材料、新型器件、新工艺、新设备和新系统等多方面创新; 三是不能把光电融合狭隘地局限于当前业界着力的MtM方向, 还应看到其在Beyond CMOS方向的诸多可能性。

**关键词:** 集成电路; 后摩尔; 扩展摩尔; 光电融合

中图分类号: TN29

文献标志码: A

## Discussion on the Development of Integrated Circuits and Photonics-electronics Convergence

ZHANG Xinquan<sup>1,2</sup>, XIAO Xi<sup>1,2</sup>

(1. National Key Laboratory of Optical Communication Technologies and Networks, Wuhan 430074, China;

2. China Information Communication Technologies Group Corporation, Wuhan 430074, China)

**Abstract:** After more than 60 years of exponential rapid development, the most advanced process node of integrated circuits has come to 1 nm. In the past decade, the development of integrated circuits has shifted, from planar proportional scaling to three-dimensional equivalent scaling, from performance-driven to power-consumption-driven, from unit integration to system integration, and the industry generally believes that it has entered the post-Moore era. At present, integrated circuits are facing three major technical challenges, which results in great difficulties in reducing size. Not only is process upgrading slowing down, but the cost exceeds 10 billion dollars. Some wafer fabs such as GLOBALFOUNDRIES have given up advancing to more advanced processes, while only a few such as Taiwan Semiconductor Manufacturing Company (TSMC), Samsung, Intel, and Imec continue to advance towards More Moore. This article studies the theoretical space for further utilization from the dimensions of integration and energy consumption, and briefly introduces the technology evolution roadmap of International Roadmap for Devices and Systems (IRDS) for the next 15 years. Beyond Complementary Metal Oxide Semiconductor (CMOS) is committed to finding potential devices and methods that are significantly superior to traditional CMOS through innovation in principles, materials, structures, etc., and this exploration is still in the forefront of academic research. The industry is paying more attention to More than Moore (MtM) technologies such as System-in-Package (SiP), heterogeneous integration, and chiplets. Due to the current difficulties and limitations faced by information hardware technology stemming from the physical properties of electrons, photons are highly anticipated because of its difference from electrons. Now photonics is being generalized from traditional transmission technology to Information Communications Technology (ICT) full-scale connection technology, and gradually entering complex functional domains such as computing, processing, and routing. Photonics-electronics convergence has gradually become an important development direction of information technology. Photonics-electronics convergence is mainly reflected in two dimensions, functional dimension synergy and hardware dimension integration. This article introduces the progress of these two dimensions, and points out that silicon-based heterogeneous integration and hybrid integration are the current focus of the chip-level photonics-electronics

收稿日期: 2024-03-05; 修回日期: 2024-03-25; 纸质出版日期: 2025-04-10

作者简介: 张新全(1982-), 男, 湖北枝江人。教授级高工, 硕士, 主要研究方向为光通信系统、光电子器件、光电集成和量子信息系统。

通信作者: 肖希, 教授级高工。E-mail: xiaoxi@noec.com

© Editorial Office of *Study on Optical Communications*. This is an open access article under the CC BY-NC-ND license.

convergence, which makes the development of optoelectronics exhibit the remarkable characteristics of "microelectronization". Photonics-electronics convergence is just beginning, and in its exploration process. The article concludes three points. At first, the attention to adaptive changes should be paid at the system architecture level, not just stay at the chip level. Secondly, the convergence still requires innovation in various aspects such as new materials, new devices, new processes, new equipment, and new systems. Thirdly, photonics-electronics convergence cannot be narrowly limited to the current focus on MtM direction, but also should recognize its many possibilities in the direction of Beyond CMOS.

**Key words:** integrated circuits; post-Moore; MtM; photonics-electronics convergence

## 0 引言

信息技术及其产品已成为现代社会运行和个人生活须臾不可离的必需。集成电路是信息技术的关键,其使得各种信息产品能不断提升性能、缩小体积和降低价格,使得信息技术能得到今日之如此广泛、深入的应用程度<sup>[1]</sup>。经过60余年长期高速发展,集成电路最先进制程工艺节点已来到1 nm,台积电(Taiwan Semiconductor Manufacturing Company, TSMC)等顶尖晶圆厂已有0.5 nm节点的发展计划,但格罗方德等晶圆厂则在2018年就宣布放弃制程的继续升级。硅原子直径约为0.24 nm,作为经典信息技术的基础硬件,晶体管尺寸的微缩极限在哪里?集成电路的发展会否在0.5 nm或某个其他工艺节点处戛然而止?本文简要描述了集成电路的指数式进步和所面临的困难,对集成电路未来的发展空间和方向进行了分析,强调了光电融合对于芯片和信息技术继续前进的重要价值,并介绍了光电融合的相关进展。

## 1 集成电路的发展

自从Feynman于1959年在“底层有足够空间”(There's Plenty of Room at the Bottom)的报告中给出了关于微纳技术的科学预见<sup>[2]</sup>,向微米、纳米等微小世界进军,是信息硬件技术的长期发展特征<sup>[3]</sup>。电子集成电路已经历了60余年的长期高速发展,摩尔定律(Moore's Law)<sup>[4]</sup>和登纳德缩放定律(Dennard scaling Law)<sup>[5]</sup>是对其技术和产业指数级进步的描述。

但是,指数式增长不可能无限延续。2007年之后,登纳德缩放定律基本失效,虽然晶体管密度继续加倍,功耗却不再减半,单位面积能耗开始快速增加。功耗导致的散热困难直接制约了芯片工作频率的继续提升,近20年中央处理器(Central Processing Unit, CPU)主频一直被限制在2~5 GHz范围。与此同时,近10年来,摩尔定律明显放缓<sup>[3]</sup>,集成进化已由以往的性能驱动转变为现在的功耗驱动,沟道应变硅、高K介质材料等技术被相继采用。进入

22/16/14 nm工艺节点,极复杂的鳍式场效应管(Fin Field-Effect Transistor, FinFET)技术被引入以抑制沟道关断漏电,从而使器件结构从沿用数10年的平面转变为立体。进入5 nm以下工艺节点后,FinFET器件不仅面临着栅控减弱、漏电增加和迁移率退化等物理效应的加剧,而且工艺实现极度困难,业界被迫探索围栅(Gate-All-Around, GAA) FET等更新型器件结构。

技术困难使当下每一代集成工艺演进举步维艰,集成工艺制程升级代价已被推高到超过百亿美金。由于制程升级仅能增加晶体管密度,芯片制造成本却在快速增加,如图1所示,所以英伟达的黄仁勋认为,尽管集成度仍有提升,但芯片行业以不变成本实现两倍业绩已成为过去,作为描述芯片发展经济性规律的摩尔定律实际上已然失效。

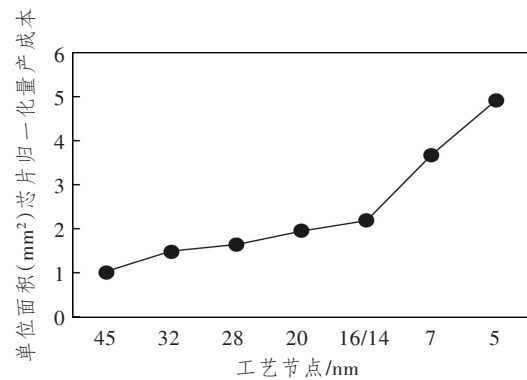


图1 单位面积( $\text{mm}^2$ )芯片制造成本持续上升<sup>[6]</sup>

Figure 1 The cost of manufacturing chips per unit area ( $\text{mm}^2$ ) continues to rise<sup>[6]</sup>

业界普遍认为,集成电路产业从16/14 nm工艺节点开始已进入到“后摩尔时代”<sup>[7]</sup>。“后摩尔”有两层意思,一是器件从延续了50多年的平面结构变成了立体结构;二是成本、性能和集成度等维度统一地、有规律地缩减/提升已无法保证。为了能准确反映“后摩尔时代”变化,主导集成电路产业发展的国际半导体技术路线图(International Technology Roadmap for Semiconductors, ITRS)组织在2016年更名为国际器件与系统路线图(International Roadmap for Devices and Systems, IRDS),将关注点从互补金属氧化物半导体(Complementary Metal Oxide

Semiconductor, CMOS) 器件和技术扩展到更宽范围、更多维度<sup>[8]</sup>。

## 2 集成工艺的极限

“后摩尔时代”并不意味着集成电路技术停滞不前,也不意味着集成度不再提升。IRDS 发布的 2022 年版路线图以及 Intel、TSMC 和 Imec 等公司的制程路标,已经列出了 0.7 和 0.5 nm 工艺节点的发展计划(2035 年左右)以及支撑相应节点制程实现的可行技术。所以,虽然经济性意义上的摩尔定律已失效,但芯片的集成度仍将继续提升,集成工艺制程仍将继续向前演进。

长期以来,业界用“ $x$  nm”命名制程工艺节点,因为据其对应的晶体管物理尺寸值可以评估出集成密度,从而体现出相应的制造水平。第  $N+1$  代器件集成度较第  $N$  代翻倍,要求器件尺寸大致以系数 0.7 进行缩减,所以  $N+1$  代制程便命名为“ $0.7x$  nm”。但是,自上世纪 90 年代中期开始,工艺节点名中的数值与晶体管物理尺寸值逐渐脱钩<sup>[9]</sup>。2007 年后,晶体管栅长缩减更是基本停滞在 15 nm 之上,相邻代际工艺节点的栅长区别已很小。至此,工艺节点名只是一个逻辑代号,失去了物理意义,晶体管实际栅长远大于节点名数值。为了消除依袭传统命名规则可能导致的误解,使工艺节点名回归实际的器件特征尺寸和集成度,2020 年,IRDS 在发布的报告中开始引入 GMT (Gate pitch, Metal pitch and Tiers)<sup>[9]</sup> 命名法:G 为接触栅间距,表征晶体管栅极间的最小距离;M 为金属节距,表征两个水平互连之间的最小距离;T 为层数。比如,传统命名法下的 0.7 nm 工艺节点,用 GMT 法命名则为 G38M16T4,可以反映真实的物理特征:接触栅间距 38 nm、金属节距 16 nm、层数 4。所以,即使是所谓的“0.5 nm 工艺节点”,其所制造器件的尺寸实际是远大于 0.5 nm 的,相对于硅原子直径 0.24 nm 仍然很大,还远没有进入完全由量子效应主导的微观粒子尺度范围。

因此,从理论而言,集成电路的尺寸缩减和功耗降低其实还可有较大作为。一是当前结构的 CMOS 器件栅长仍在 15 nm 以上,理论上还有缩减空间。根据半导体能带理论,硅材料芯片的物理极限约在 7 nm。日裔理论物理学家加来道雄指出,当基于硅的器件特征尺寸达到 5 个原子(约 1.2 nm)时,漏电流和海森堡测不准原理的效应将使器件不再实用<sup>[3]</sup>。二是当前计算能耗很难达到兰道尔极限 2.85 zJ,功耗降低空间仍较大。

不过,要充分利用理论上的发展空间并不容易。晶体管尺寸缩小至今,虽离微观粒子尺度尚有较大距离,但毕竟已处于介观尺度边沿,量子效应已逐渐变得显著,面临栅隧穿泄漏、载流子界面散射、强场速度饱和和源漏寄生阻容占比增大等一系列棘手挑战。当前集成电路发展面临 3 大难题:一是受制于物理上的隧穿效应和工艺上的光学衍射极限,尺寸缩减极其艰难;二是受制于高密度高速率互联和散热挑战,集成度增长显著变缓;三是受制于漏电和最小开关能耗(由玻尔兹曼极限决定),功耗墙极难打破,并且随机涨落进一步恶化功耗问题。功耗不仅制约集成度(为了抑减漏电不能再大幅继续缩减器件尺寸),而且直接限制性能提升(近 20 年来芯片工作频率几乎没有提升),所以功耗是 3 大难题的集中体现。

业界在重重困难面前仍继续探索,目前看来,GAA 很可能是 CMOS 器件的极致形态<sup>[10]</sup>,进一步缩减尺寸也许必须寻求非 CMOS 方向。所以,根据 IRDS 的 2022 年版路线图<sup>[11]</sup>,单平面上晶体管密度的增加只延续到 2030 年,此后将踏上多层之路(单片堆叠)。

由于制程升级的难度太高,所需投入太大,经济性被严重质疑,业界目前实际只有 TSMC、三星、Intel 和 Imec 等极少数晶圆厂在继续向前升级制程。2018 年,联电宣布放弃 12 nm 以下先进工艺制程的研发,随后格罗方德也宣布放弃向 7 nm 工艺节点升级。囿于技术实力和资金投入能力,大部分晶圆厂事实上已经无法、无力地退出了向更先进制程的进军。

## 3 集成技术继续发展与光子的机遇

### 3.1 集成技术继续发展

尽管当前每一代集成工艺制程的演进殊为艰难,但如前所述,集成技术仍有发展空间。业界主要聚焦在 3 个方向:一是深度摩尔(More Moore, MM),在 CMOS 这条道路上继续提升单个芯片上的集成度;二是超越 CMOS (Beyond CMOS, BC),通过引入非传统 CMOS 的变革性新结构、新器件、新材料和新原理来推动集成电路发展;三是扩展摩尔(More than Moore, MtM),通过系统级封装(System in Package, SiP)、芯粒(Chiplet)和多维封装等从功能、系统和应用等更多维度出发来促进技术进步。

MM 主要从 CMOS 器件结构、沟道材料、导线

介质、栅极材料和制造工艺等方面推动集成度的持续提升,并且关注重点转向功耗。目前看来,较长时期内集成电路仍能沿着 CMOS 路径推进。由表 1 的 IRDS 路线图可知,从 FinFET 演化为 GAA,通过引入三维(3 Dimensional, 3D)堆叠,至少未来 15 年内电子集成电路仍有清晰、明确的升级路径和可行性。FinFET 在 16/14 nm 节点代替了平面晶体管,但随着制程继续升级,要求鳍片厚度不断减小、高度不断增加,不仅工艺上难实现,而且栅控减弱、漏电增加且迁移率退化,所以到了 3 nm 以下节点,横向 GAA(LGAA) FET 将代替 FinFET。GAA FET 的整个沟道区被栅极包围,可以增强栅控能力和驱动能力,并降低漏电。GAA FET 的沟道会从纳米片(Nanosheet)向叉片(Forksheets)演化<sup>[12]</sup>。目前业界预期物理沟道长度将饱和于 12 nm 左右,栅节距将饱和于 38 nm 左右,届时可采用器件堆叠来继续提升集成度<sup>[13]</sup>。另外,还有研究提出了垂直沟道 GAA(Vertical GAA)<sup>[14]</sup>。

表 1 MM 路线图(2022 年版)<sup>[11]</sup>Table 1 The roadmap of MM (Version 2022)<sup>[11]</sup>

量产年份	GMT	节点代号	逻辑器件
2022	G48M24	3 nm	FinFET
2025	G45M20	2 nm	LGAA
2028	G42M16	1.5 nm	LGAA
2031	G40M16T2	1 nm	LGAA-3D
2034	G38M16T4	0.7 nm	LGAA-3D
2037	G38M16T6	0.5 nm	LGAA-3D

MtM 将集成电路发展的关注点从一味追求单片性能、器件尺寸到投向功能、系统和应用等维度。本质上, MtM 是基于各种应用在性能、功耗和体积上的差异化需求,通过异质、异构和封装等灵活方式来进行针对性满足,而非自我局限在缩小线宽这条狭窄路径上。SiP 是将逻辑芯片、模拟/射频(Radio Frequency, RF)芯片、无源器件和电源管理芯片等有选择地封装在一起,以实现可靠性、性能、成本和尺寸的较大改善。硅通孔(Through Silicon Via, TSV)是 3D 集成封装的关键技术。产业界积极地进行 MtM 方面的开发和应用实践,各大晶圆厂不再仅是关注晶圆制造,而是将先进封装也视为获取市场的核心竞争力,比如 TSMC 推出基于多晶圆堆叠(Wafer on Wafer, WoW)和基于 CoWoS (Chip-On-Wafer-On-Substrate)的 3D 集成封装技术 So-IC (System on Integrated Chips)<sup>[15-16]</sup>, Intel 推出将二维(2 Dimensional, 2D)封装技术嵌入式多芯片互

连桥接(Embedded Multi-die Interconnect Bridge, EMIB)和 Foveros 3D 集成技术相结合的 Co-EMIB 集成封装技术<sup>[17]</sup>。国防高级研究计划局(Defense Advanced Research Projects Agency, DARPA)亦通过电子复兴计划中的异构集成和网络互连协议重用战略(Common Heterogeneous Integration and Intellectual Property Reuse Strategies Program, CHIPS)等项目推动 MtM 方面的技术开发。封装对芯片进步的重要性不断上升,封装成本甚至有超越芯片本身的势头<sup>[18]</sup>。随着先进封装技术的逐渐成熟,Chiplet 成为热点<sup>[19]</sup>,跨维度异质异构集成封装技术希望实现处理器芯片、存储芯片、光芯片、RF 芯片、电源芯片、量子芯片和类脑芯片等各种芯片的“巨集成”<sup>[20]</sup>。

从进入“后摩尔时代”后 MM 和 MtM 方面的技术进步可以看出,集成电路发展已在转向:从平面等比例微缩转为 3D 等效微缩,从单纯追求性能转为追求能效、低功耗和多功能等多样化目标,从单元集成转为系统集成。这种转向需要多个维度的创新:材料上,通过高 K 栅介质、低 K 互联介质和高迁移率沟道等促进性能增强与功耗优化;工艺上,采用多重曝光、自组装等分辨率增强技术突破衍射极限,通过自对准通孔、跨层通孔和埋埋式电源线等优化互联,通过异质异构和片内 3D 堆叠等突破平面集成限制<sup>[21-22]</sup>。

Beyond CMOS 方面的研究尚属于前沿探索阶段,致力于通过原理、材料和结构等创新找到性能、功耗、功能和集成度等方面显著优于传统 CMOS 的可能器件和方法。Beyond CMOS 研究范围和传统 CMOS 路径不同<sup>[23]</sup>:一是状态变量不再局限于电子电荷,可能利用分子态、极化、强电子相关态和自旋方向等;二是材料方面,关注碳、超材料、宏观分子材料、铁磁/铁电和复合金属氧化物等;三是器件结构上,探索分子器件、自旋器件、铁磁性器件和量子器件等方向;四是数据承载上,研究模式量和量子比特等;五是计算架构上,从冯·诺依曼范式、多核架构向可重构、量子 and 神经拟态等方向发展。目前学术界较为关注的有:隧穿场器件、纳米机械开关、单电子晶体管、量子元胞自动机、原子开关、自旋器件、石墨烯器件、碳纳米管器件、纳米线器件和磁通量器件等<sup>[24]</sup>。这些新型器件各有优劣势,前景尚待清晰。

可以看出,一旦取得实质性突破, Beyond CMOS 方向的研究有可能是颠覆性的,会出现不同于现有 CMOS 原理的超低功耗和/或超高性能器

件,以及相应的新架构、新算法,从而改写信息技术。

### 3.2 光电融合

集成电路发展至今,所遇到的困难和限制很多都源自电子的物理特性。电子和光子是两种最主要的信息载体,具有不同的物理秉性<sup>[25]</sup>,光子在速率、带宽和功耗等方面具有显著优势。随着最尖端信息技术的器件带宽来到百 GHz 量级、信号速率来到百 GBaud/s 量级,随着功耗成为信息系统的头号制约因素,光子在信息技术领域的重要性不断提升<sup>[3]</sup>。一方面,光子由传输技术泛化为信息与通信技术(Information and Communications Technology, ICT)的全尺度连接技术,由宏入微,不仅进入架间、板间,还在进入板内、封装内、片内;另一方面,光子由互联技术泛化为 ICT 全域的硬件基础技术,正在进入计算、处理和路由等复杂功能域<sup>[26]</sup>。2023 年 5 月英伟达发布了人工智能(Artificial Intelligence, AI)“巨型芯片”GH200,其内部所采用的光互联长度合计达 241.4 km。可见,光和电在功能上相互紧密协同,在硬件和架构上彼此深度融合,既是光电各有长短的必然要求,也是信息技术继续向前进步的必然要求<sup>[27]</sup>。

因此,光电融合渐成信息技术发展的重要趋势<sup>[3]</sup>。光电融合之目的是发挥光、电各自所长以使用性能(速率、带宽、算力和能效等)得以继续提升。光电融合主要体现于两个维度,一是功能维度协同化,二是硬件维度一体化。

功能维度协同化,是光、电功能深度融合互补。传统的“电算光传”停留在光、电的浅层次松散合作,主要以独立的设备形态相互配合。光电融合是深层次的紧密协同,我们能看到有 3 方面的发展。第 1 个方面是高速率、大带宽和低功耗的光互联正在进入板间、片间,乃至片内,光电在设备、模块和封装内部融合,比如光背板、光输入/输出(Input/Output, I/O)等。当前算力构建在从 Server2Server 向 Chip2Chip 演进、计算架构在向非冯-诺伊曼演进<sup>[20]</sup>,比如美国国防高级研究计划局(Defense Advanced Research Projects Agency, DARPA)的项目极端可扩展性的封装内光子技术(Photonics In the Package for Extreme Scalability, PIPES)和分层识别验证利用(Hierarchical Identify Verify Exploit, HIVE)、日本的 Disaggregated Computing 都致力于利用嵌入处理器的光 I/O 来重构计算设备<sup>[28-29]</sup>, Nvidia 计划将两、三年后的 6.0 版本 NVLINK 升级为光 I/O 来实现图形处理器(Graphics Processing

Unit, GPU)片间互联, Intel 则在 2023 年 8 月发布了采用光 I/O(1 Tbit/s)实现的 8 核 528 线程可编程集成统一存储架构(Programmable Integrated Unified Memory Architecture, PIUMA)处理器<sup>[30]</sup>。第 2 个方面是高并行、高速度和低能耗的光子处理器与电子处理器深度协同,共同完成计算任务,比如光子 AI 加速、近似计算、神经形态计算和模拟计算等<sup>[26,31-32]</sup>。麻省理工 2019 年展示了基于光电乘加器的大规模卷积神经网络(Convolutional Neural Network, CNN)的实现<sup>[33]</sup>。56 个马赫-曾德尔干涉仪(Mach-Zehnder Interferometer, MZI)级联阵列构建的光神经网络芯片,矩阵运算速度可达到  $10^{18}$  MAC/s,比纯电运算快 5 个数量级<sup>[34-35]</sup>。第 3 个方面是低损耗和高带宽的光子无线电用于微波、THz 等超高频宽带无线电信号的产生、传输和处理<sup>[36]</sup>。2023 年 11 月,南洋理工大学 Ranjan Singh 团队在硅光子芯片上集成拓扑天线,实现了 100 Gbit/s THz 信号的产生、发射和接收<sup>[37]</sup>。

硬件维度一体化是光、电硬件的高度融合集成,如图 2 所示。芯片光电融合是硬件一体化的基础和关键,在形式上主要有光电单片(异质)集成和光电混合集成。光电单片集成方面, Sicoya 在 2017 年采用 Bipolar CMOS(BiCMOS)工艺将 100 Gbit/s 光收发所需光、电器件全部集成到了单个硅基芯片上<sup>[38]</sup>;加州大学伯克利分校和麻省理工等在 2018 年展示的处理芯片,采用 45 nm 体硅 CMOS 工艺单片集成了 7 000 万个晶体管和 850 个光器件<sup>[39]</sup>。光电混合集成方面,晶圆级封装(Wafer Level Packaging, WLP)、SiP 是重要路径,近几年光电共封(Co-Packaged Optics, CPO)发展较快, Intel 和 Ayar Labs 于 2020 年联合实现了现场可编程逻辑门阵列(Field Programmable Gate Array, FPGA)芯片 Stratix10 与光收发芯片 TeraPHY 的 2.5D 集成

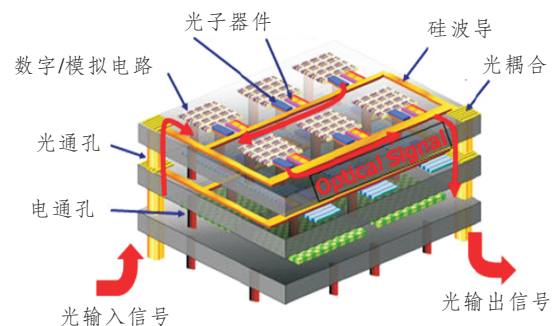


图 2 IEEE 对光电融合 3D-SiP 的构想<sup>[18]</sup>

Figure 2 IEEE's 3D-SiP conception of photonics-electronics convergence<sup>[18]</sup>

封装<sup>[40]</sup>;Broadcom于2023年3月发布了基于CPO的51.2 Tbit/s交换引擎原型<sup>[41]</sup>。光电单片集成的材料和工艺难度偏大,光电混合集成则借助微电子的先进封装工艺已经取得较大进展,得到业界更多关注<sup>[18]</sup>。

硅光子是促进光电融合的重要使能技术。作为全球芯片技术和产业发展的领头羊企业之一,Intel深切感受到电子芯片的发展瓶颈,近十几年一直大力投入硅光子,一方面通过硅光调制器等关键器件的研制使硅光子率先在光通信中得到商用<sup>[42]</sup>,另一方面积极探索基于硅光子的计算芯片和计算架构<sup>[43]</sup>。格罗方德虽然放弃了向集成电路先进制程的升级,但其积极投身硅光子,TSMC和高塔半导体等晶圆厂也着力开发硅光工艺。从Intel、Cisco、Broadcom、Nvidia、Nokia、Juniper、Ayar Labs、格罗方德、TSMC和Synopsys等近年来在硅光子方面的举措来看,业界目前倾向于光子集成发展以硅为基础的多材料异质集成,光电集成发展以硅为基础的混合集成。因此,尽管芯片层面光电融合不可避免地面临着材料、工艺上的诸多困难,但随着硅光子技术的快速进步和产业化的不断推进,已能看到较明显的光电子“微电子化”特征<sup>[44]</sup>,如图3所示。此外,等离激元器件在调制速率和尺寸等方面相对于硅光子有优势,电气电子工程师学会(Institute of Electrical and Electronics Engineers, IEEE)在异质集成路线图(Heterogeneous Integration Roadmap, HIR)中对等离激元器件在硅基光电融合中的作用寄予了较大期待<sup>[18]</sup>。我们相信,随着光电子微电子化的深入,随着集成电路逐渐摆脱狭窄尺寸微缩路径的约束,光电融合将支撑集成和信息技术继续进步。

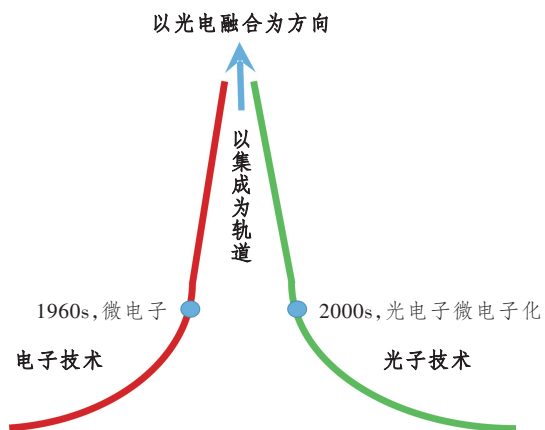


图3 信息技术硬件发展<sup>[45]</sup>

Figure 3 The hardware development of information technology

总之,光电融合是信息技术在高性能、高带宽密度、高可靠性、低时延和低功耗路径上继续演进的必然需要。光电融合尚处于探索阶段,面临着较多困难,比如:光、电器件必然存在材料、结构和工艺上的不同,光、电芯片各自的演进速度是不一致的,光、电物理特性差异会导致二者的协同设计顾此失彼。因此,业界也存在着一些不同声音,比如,考虑到成本、可靠性和可量产性,片上系统真有必要引入光互联?为了克服这些困难,一是在层面上,光电融合不能仅停留于光、电芯片的集成或一体化,还应在信息设备和系统架构层面作出适应性改变方能充分发挥出光电融合的特点和优势;二是在技术上,先进封装、硅光子、异质集成等虽已为光电融合创造了一定条件,但光电深度融合尚需新材料、新型器件、新工艺、新设备和新系统等多方面创新,任重道远;三是在认识上,我们不能把光电融合狭隘地局限于当前业界着力的MtM方向,还应看到其在Beyond CMOS方向的诸多可能性。

## 4 结束语

集成电路在数10年的指数级发展后,已进入“后摩尔时代”。当前,集成电路器件尺寸继续缩减的难度愈来愈大,功耗成为头号制约因素,但其发展离理论极限仍有一定距离,业界主要从MM、MtM和Beyond CMOS 3个方向推进。光电融合对于芯片和信息技术的继续发展和突破具有重要意义,相关探索和研究正在进展中。

### 参考文献:

- [1] 张新全,余少华. 信息化前景和网络演进探讨[J]. 光通信研究, 2021(2): 1-6.  
Zhang X Q, Yu S H. Discussion on the Prospect of Informatization and Network Evolution[J]. Study on Optical Communications, 2021(2): 1-6.
- [2] Feynman R P. There's Plenty of Room at the Bottom[J]. Resonance, 2011(16): 890-905.
- [3] 张新全,余少华. 光电融合破解带宽、能耗难题[J]. 光通信研究, 2021(5): 1-14.  
Zhang X Q, Yu S H. Address the Challenges of Bandwidth and Power Consumption through Photonics-electronics Convergence[J]. Study on Optical Communications, 2021(5): 1-14.
- [4] Moore G E. Cramming More Components onto Integrated Circuits [J]. Proceedings of the IEEE, 1998, 86(1): 82-85.

- [5] Ghosh A, Corves B. Introduction to Micromechanisms and Microactuators[M]. New Delhi, India: Springer, 2015.
- [6] Chen W, Bottoms W R, Salmon T, et al. HIR Overview and Executive Summary[DB/OL]. (2019-09-01) [2024-03-05]. [https://eps.ieee.org/images/files/HIR\\_2021/ch01\\_overview.pdf](https://eps.ieee.org/images/files/HIR_2021/ch01_overview.pdf).
- [7] 黄如. 后摩尔时代集成电路技术发展探讨[DB/OL]. (2021-06-06) [2024-03-05]. <https://www.bilibili.com/video/BV1ey4y137FU/>.  
Huang R. Development and Discussion of Integrated Circuit Technology in the Post-moore Era [DB/OL]. (2021-06-06) [2024-03-05]. <https://www.bilibili.com/video/BV1ey4y137FU/>.
- [8] 陈堂胜,戴家赟,吴立枢,等. 晶体管级异质集成技术及其典型应用[J]. 固体电子学研究与进展, 2023, 43(2): 95–100.  
Chen T S, Dai J Y, Wu L S, et al. Heterogeneous Integration in Transistors Level and Its Typical Applications[J]. Research & Progress of SSE, 2023, 43(2): 95–100.
- [9] Moore S K. A Better Way to Measure Progress in Semiconductors[EB/OL]. (2020-06-21)[2024-03-05]. <https://spectrum.ieee.org/a-better-way-to-measure-progress-in-semiconductors>.
- [10] 武咏琴,卜伟海,康劲,等. 3 nm以下技术代FinFET及围栅器件的发展与挑战[J]. 微纳电子与智能制造, 2021, 3(1): 14–26.  
Wu Y Q, Bu W H, Kang J, et al. Development and Challenges of FinFET and GAA for Sub-3 nm CMOS Technology Node[J]. Micro/Nano Electronics and Intelligent Manufacturing, 2021, 3(1): 14–26.
- [11] IEEE. International Roadmap for Devices and Systems [EB/OL]. (2022-01-01)[2024-03-05]. <https://irds.ieee.org/>.
- [12] Weckx P, Ryckaert J, Litta E D, et al. Novel Forksheet Device Architecture as Ultimate Logic Scaling Device towards 2 nm[C]//2019 IEEE International Electron Devices Meeting (IEDM). San Francisco, CA, US: IEEE, 2019: 8993635.
- [13] Ye S, Liu L, Ma Y, et al. Stacked Lateral Gate-all-around Metal-oxide-semiconductor Field-effect Transistors and Their Three-dimensional Integrated Circuits[J]. Silicon, 2023, 15(5): 2467–2478.
- [14] Yakimets D, Eneman G, Schuddinck P, et al. Vertical GAAFETs for the Ultimate CMOS Scaling[J]. IEEE Transactions on Electron Devices, 2015, 62(5): 1433–1439.
- [15] Lin M S, Huang T C, Tsai C C, et al. A 7 nm 4 GHz Arm®-core-based CoWoS® Chiplet Design for High Performance Computing[C]//2019 Symposium on VLSI Circuits. Kyoto, Japan: IEEE, 2019: 8778161.
- [16] Hu C C, Chen M F, Chiou W C, et al. 3D Multi-chip Integration with System on Integrated Chips (SoIC™) [C]//2019 Symposium on VLSI Technology. Kyoto, Japan: IEEE, 2019: 8776486.
- [17] Yoshida J. AMD, TSMC & Imec Show Their Chiplet Playbooks at ISSCC [EB/OL]. (2021-02-26) [2024-03-05]. <https://www.eetimes.com/amd-tsmc-imec-show-their-chiplet-playbooks-at-isscc/>.
- [18] Chen W, Bottoms W R, Salmon T, et al. Integrated Photonics [DB/OL]. (2023-09-01) [2024-03-05]. [https://eps.ieee.org/images/files/HIR\\_2023/ch09\\_photonics.pdf](https://eps.ieee.org/images/files/HIR_2023/ch09_photonics.pdf)
- [19] Naffziger S, Beck N, Burd T, et al. Pioneering Chiplet Technology and Design for the AMD EPYC™ and Ryzen™ Processor Families: Industrial Product[C]//2021 ACM/IEEE 48th Annual International Symposium on Computer Architecture (ISCA). Valencia, Spain: IEEE, 2021: 9499852.
- [20] “中国学科及前沿领域发展战略研究(2021-2035)”项目组. 中国集成电路与光电芯片2035发展战略[M]. 北京: 科学出版社, 2023.  
The Project Team of "Research on the Development Strategy of Chinese Disciplines and Frontier Fields (2021-2035)". China's Integrated Circuit and Optoelectronic Chip 2035 Development Strategy [M]. Beijing: Science Press, 2023.
- [21] Wong H. On the CMOS Device Downsizing, More Moore, More than Moore, and More-than-Moore for More Moore[C]//2021 IEEE 32nd International Conference on Microelectronics (MIEL). Nis, Serbia: IEEE, 2021: 9569101.
- [22] Xiong X, Tong A, Wang X, et al. Demonstration of Vertically-stacked CVD Monolayer Channels: MoS2 Nanosheets GAA-FET with Ion>700  $\mu\text{A}/\mu\text{m}$  and MoS2/WSe2 CFET [C]//2021 IEEE International Electron Devices Meeting (IEDM). San Francisco, CA, US: IEEE, 2021: 9720533.
- [23] ITRS 2.0. The International Technology Roadmap for Semiconductors 2.0 2015 Edition Beyond COMS [DB/OL]. (2015-01-01) [2024-03-05]. <https://eps.ieee.org/images/files/Roadmap/ITRSBeyCMOS-2015.pdf>.
- [24] Ellinger F, Claus M, Schröter M, et al. Review of Advanced and Beyond CMOS FET Technologies for Ra-

- dio Frequency Circuit Design[C]//2011 SBMO/IEEE MTT-S International Microwave and Optoelectronics Conference(IMOC 2011). Natal, Brazil: IEEE, 2011: 6169233.
- [25] 余金中. 半导体光子学[M]. 北京: 科学出版社, 2015.
- Yu J Z. Semiconductor Photonics[M]. Beijing, China: Science Press, 2015.
- [26] Wetzstein G, Ozcan A, Gigan S, et al. Inference in Artificial Intelligence with Deep Optics and Photonics[J]. Nature, 2020, 588(7836): 39–47.
- [27] 余少华, 张新全. 信息光电子专题[M]. 北京: 科学出版社, 2019.
- Yu S H, Zhang X Q. Information Optoelectronics[M]. Beijing, China: Science Press, 2019.
- [28] Sakamoto T, Sato N, Segawa T. Photonics-electronics Convergence Technologies for Disaggregated Computing[J]. NTT Technical Review, 2021, 19(7): 58–64.
- [29] Ishizaki T, Yamabe Y. Memory-centric Architecture for Disaggregated Computers[J]. NTT Technical Review, 2021, 19(7): 65–69.
- [30] Alcorn P. Intel Demos 8-Core, 528-Thread PIUMA Chip with 1 TB/s Silicon Photonics [DB/OL]. (2023-08-30) [2024-03-05]. <https://www.tomshardware.com/news/intel-demos-8-core-528-thread-puma-chip-with-1-tbs-silicon-photonics>.
- [31] 周治平, 许鹏飞, 董晓文. 硅基光电计算[J]. 中国激光, 2020, 47(6): 9–23.
- Zhou Z P, Xu P F, Dong X W. Computing on Silicon Photonic Platform[J]. Chinese Journal of Lasers, 2020, 47(6): 9–23.
- [32] McMahon P L. The Physics of Optical Computing[J]. Nature Reviews Physics, 2023, 5: 717–734.
- [33] Hamerly R, Bernstein L, Sludds A, et al. Large-scale Optical Neural Networks based on Photoelectric Multiplication[J]. Physical Review X, 2019, 9(2): 021032.
- [34] Shen Y, Harris N C, Skirlo S, et al. Deep Learning with Coherent Nanophotonic Circuits[J]. Nature Photonics, 2017, 11: 441–446.
- [35] Kitayama K I, Notomi M, Naruse M, et al. Novel Frontier of Photonics for Data Processing-Photonic Accelerator[J]. APL-Photonics, 2019, 4(9): 090901.
- [36] 周涛, 孙力军, 顾杰, 等. 微波光子信号处理技术[M]. 北京: 国防工业出版社, 2023.
- Zhou T, Sun L J, Gu J, et al. Microwave Photon Signal Processing Technology [M]. Beijing, China: National Defense Industry Press, 2023.
- [37] Jia R, Kumar S, Tan T C, et al. Valley-conserved Topological Integrated Antenna for 100-Gbps THz 6G Wireless[J]. Science Advances, 2023, 9(44): eadi8500.
- [38] Foxton W S. Silicon Photonics Reaches Prime Time[DB/OL]. (2019-04-26)[2024-03-05]. <https://www.eetimes.eu/silicon-photonics-reaches-prime-time/>.
- [39] Atabaki A H, Moazeni S, Pavanello F, et al. Integrating Photonics with Silicon Nanoelectronics for the Next Generation of Systems on a Chip [J]. Nature, 2018, 556(7701): 349–354.
- [40] Wade M, Anderson E, Ardanian S, et al. TeraPHY: a Chiplet Technology for Low-Power, High-bandwidth In-package Optical I/O[J]. IEEE Micro, 2020, 40(2): 63–71.
- [41] Broadcom. TH5 51. 2T Bailly CPO (Co-Packaged Optics)[DB/OL]. (2023-03-01) [2024-03-05]. <https://docs.broadcom.com/doc/th5-51.2t-bailly-cpo>.
- [42] Reed G T, Mashanovich G Z, Gardes F Y, et al. Recent Breakthroughs in Carrier Depletion based Silicon Optical Modulators[J]. Nanophotonics, 2014, 3(4-5): 229–245.
- [43] DARPA HIVE. The DARPA HIVE Program: Providing Fuel for the Rocket [DB/OL]. (2017-03-28) [2024-03-05]. <http://graphchallenge.mit.edu/darpa-hive>.
- [44] 张新全, 肖希, 余少华. 信息光电子“微电子化”技术进展和发展探讨[J]. 光通信研究, 2023(6): 1–10.
- Zhang X Q, Xiao X, Yu S H. Technological Progress of Information Optoelectronics Microelectronization and Discussion on Its Development [J]. Study on Optical Communications, 2023(6): 1–10.